

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 23/52

(45) 공고일자 1998년12월01일
(11) 공고번호 특0158783
(24) 등록일자 1998년08월06일

(21) 출원번호	특1995-033153	(65) 공개번호	특1996-012455
(22) 출원일자	1995년09월29일	(43) 공개일자	1996년04월20일
(30) 우선권주장	94-235149 1994년09월29일 일본(JP)		
(73) 특허권자	닛뽕덴끼 가부시끼가이샤 가네꼬 히사시 일본국 도모코도 미나토꾸 시바 5조메 7방 1고		
(72) 발명자	아마모또 다케시 일본국 구마모또쥬 구마모또시 아하따마찌 100 규슈닛뽕덴끼 가부시끼가이샤 나이		
(74) 대리인	윤여범 박해선		

심사관: 양희봉

(54) 접속 핀을 통해 기판과 캡에 접속된 전자 부품을 탑재하는 멀티 칩 세라믹 모듈

요약

다층 배선 구조(22a, 22b, 22c, 22d 및 27a, 27b, 27c, 27d)는 전자 부품용 상,하부 세라믹 기판(21, 26)에 각각 형성되고, 접속 핀(28)은 다층 배선 구조들 간의 바람직하지 않는 접속분리로부터 멀티 칩 모듈을 보호하기 위해 다층 배선 구조간의 전기 접속을 이루는 접속 패드(27d)와 접속 고정된다.

공해서

[발명의 명칭]

접속 핀을 통해 기판과 캡에 접속된 전자 부품을 탑재하는 멀티 칩 세라믹 모듈

[도면의 간단한 설명]

제1도는 종래 기술의 멀티 칩 세라믹 모듈의 구조를 도시한 단면도.

제2도는 일본국 특허 공개 공보에 개시된 종래 기술의 멀티 칩 세라믹 모듈의 구조를 도시한 단면도.

제3도는 종래 기술의 멀티 칩 세라믹 모듈에 설치된 납땜 범프를 도시한 측면도.

제4도는 본 발명에 따른 멀티 칩 세라믹 모듈의 구조를 도시한 단면도.

제5도는 멀티 칩 세라믹 모듈에 설치된 접속 핀을 도시한 단면도.

제6도는 접속 패드에 결합된 전자부품을 도시한 단면도.

제7도는 접속 핀 용으로 설치된 스톱퍼를 도시한 단면도.

제8도는 제1접속 패드의 변형예를 도시한 단면도.

제9도는 접속핀과 제1접속 패드의 변형예를 도시한 단면도.

제10도는 본 발명에 따른 다른 멀티 칩 세라믹 모듈의 구조를 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

21 : 제 1 세라믹 기판 21a, 21d : 내부 표면
21b : 제 1 공동부공간 21c : 제 2 공동부공간
22a ~ 22d : 제 1 배선 23 : 제 1 전자 부품
24 : 방열판 25 : 히트싱크
26 : 제 1 세라믹 기판 28 : 전도성 접속 수단
29a ~ 29d : 제 2 전자 부품 30 : 입출력 수단
36 : 접속핀 41 : 절연핀
41a : 외부 표면

[발명의 상세한 설명]

본 발명은 멀티 칩 세라믹 모듈에 관한 것으로서, 특히 세라믹 기판과 캡 플레이트상에 전자 부품을 탑재하는 멀티 칩 세라믹 모듈에 관한 것이다.

멀티 칩 세라믹 모듈의 전형적인 예가 도면 제1도에 나타내어져 있다.

종래 기술의 멀티 칩 세라믹 모듈은 다층 세라믹 기판(1), 다층 세라믹 기판(1)과 금속 방열판(3) 상에 탑재된 전자 부품 (2a, 2b 및 2c)으로 구성된다.

제1도에는 도시되지 않았지만, 배선 패턴이 다층 세라믹 기판(1)의 세라믹 플레이트(1a)상에 형성되어 중앙 개구부가 각각 세라믹 플레이트(1a)에 형성되어 최상부 세라믹 플레이트로부터 최하위 세라믹 플레이트까지 확장된다.

개구부의 형태는 중앙 오목부(1b)에 조화되고 세라믹 플레이트(1a)의 내부 에지가 중앙 오목부(1b)로 노출된다.

결합 패드(1c)는 세라믹 플레이트(1a)의 노출된 내부에지에 설치되어 배선 패턴에 전기적으로 접속된다.

접촉 패드(1b)가 다층 세라믹 기판(1)의 상부 표면에 추가로 형성되고 또한 직접 또는 구멍을 통해 배선 패턴에 전기적으로 접속된다.

반도체 집적회로 장치와 같은 전자 부품(2a) 중 하나가 금속 방열판(3)에 납땜되어 중앙 오목부(1b)에 수용된다. 반도체 집적회로 장치(1a)는 결합 와이어(1e)를 통해 각각 결합 패드(1c)에 접속된다.

다른 전자 부품(2b, 2c)은 다층 세라믹 기판(1)의 상부 표면에 탑재되어 접촉 패드(1d)에 결합된다.

종래 기술의 멀티 칩 세라믹 모듈은 외부 모듈과 통신하기 위한 다수의 입출력핀(4)을 추가로 구비한다.

이 다수의 입출력핀(4)은 배선 패턴에 전기적으로 접속되어 다층 세라믹 기판(1)으로부터 아래로 돌출한다. 또한 종래 기술의 멀티 칩 세라믹 모듈은 금속 방열판(3)에 결합되는 히트 싱크(heat sink)(5)와 다층 세라믹 기판(1)의 하부 표면에 부착된 금속 캡(6)을 추가로 구비한다.

한편, 반도체 집적회로 장치(2a)는 다른 전자 부품(2b, 2c)과 협조하여 동작하고, 반도체 집적회로 장치(2a)는 열을 발생하며, 이 열은 금속 방열판(3)을 통해 히트 싱크(5)로 전달된다.

이와 같이, 히트 싱크(5)가 반도체 집적회로 장치(2a)의 과열을 방지한다.

더욱이, 금속 방열판(3)이 다층 세라믹 기판(1)의 상부 표면과 전자 부품(2b, 2c)용 히트 싱크(5)사이에 갭(gap)을 형성한다.

금속 캡(cap)(6)이 중앙 오목부(1b)를 밀폐시켜 바람직하지 않은 물리적 충격 및 오염물로부터 반도체 집적회로 장치를 보호한다.

이러한 배열을 갖는 종래 기술의 멀티 칩 세라믹 모듈은 어셈블링 작업이 지연되는 문제점이 있다. 즉, 반도체 집적회로 장치는 다이 결합 기술의 사용에 의해 금속 방열판(3)에 접속되고, 결합 패드(1c)는 결합외이어(1e)를 통해 반도체 집적회로 장치(2a)의 전극에 접속된다.

이어서, 금속 캡(6)이 다층 세라믹 기판(1)에 고정되고 다른 전자 부품(2b, 2c)이 접속 패드(1d)에 고정된다. 이와 같이 종래 기술의 멀티 칩 세라믹 모듈은 5단계를 통해 조립되어 조립 작업이 지연된다.

특히, 전자 부품(2b, 2c)이 금속 캡(6)을 탈봉하는 단계 후에 조립되고 전자 부품(2a, 2b, 2c)에 대한 조립 작업이 균일하게 이루어지기 어렵다. 종래 기술의 멀티 칩 세라믹 모듈에 있어서 고유한 문제점은 열 방출 능력이다.

즉, 전자 부품(2b, 2c)은 다층 세라믹 기판(1)의 상부 표면에 실제면적의 실질적인 크기를 차지하여 금속 방열판(3)이 확대되기 어렵다.

종래 기술의 멀티 칩 세라믹 모듈의 다른 문제점은 입.출력핀(4)을 배열할 수 있는 면적의 크기가 작다는 것이다. 이는 중앙의 면적이 반도체 집적회로 장치(2a)를 수용하는 오목부로 사용되기 때문이다. 단지 다층 세라믹 기판(1)의 주변 영역만을 입.출력핀(4)을 위해 사용할 수 있으므로 풀 그리드 어레이(full grid array)가 실현될 수 없다.

이런 이유 때문에, 종래 기술의 세라믹 모듈은 다수의 입.출력핀을 필요로 하는 복잡한 전자 시스템에 적합치 못하다. 멀티 칩 세라믹 모듈의 다른 예는 일본국 특허 공개 공보 제 1-308057호에 게시되어 있으며, 종래 기술의 멀티 칩 세라믹 모듈은 첫번째 종래 기술의 세라믹 모듈에서의 고유한 문제점이 없다. 제2도는 일본국 특허 공개 공보에 게시된 종래 기술의 멀티 칩 세라믹 모듈을 나타낸다.

종래 기술의 멀티 칩 세라믹 모듈은 다층 세라믹 기판, 이 다층 세라믹 기판(11)상에 얇게 적층된 세라믹 기판(12) 및 반도체 칩(13)으로 구성된다. 다수의 넓은 오목부(12a)가 세라믹 기판(12)에 형성되어 다층 세라믹 기판(11)을 개방시킨다.

또한, 좁은 오목부(12b)가 세라믹 기판(12)에 형성되어 넓은 오목부(12a)를 개방시킨다. 따라서, 넓은 오목부(12a)와 좁은 오목부(12b)사이에 계단이 형성되고 결합 패드(14a)에도 계단이 형성된다. 반도체 칩(13)은 결합외이어(도시하지 않음)를 통해 결합 패드(14a)에 전기적으로 접속된다. 수직 접속부(14b)는 각각 세라믹 기판(12)에 형성된 바이홀(viahole) 통과하여 결합 패드(14a)를 접속패드(14c)에 접속시킨다. 반면에 다층 배선 패턴(14d)은 다층 세라믹 기판(11)에 형성되어 상단부가 접속 패드(14e)에 접속되고 하단부가 입.출력핀(14f)에 접속된다. 접속 패드(14c)는 납땜 범프(14q)를 통해 접속 패드(14e)에 고정된다. 이러한, 결합 패드(14a), 수직 결합부(14b), 접속 패드(14c), 납땜 범프(14q), 접속 패드(14e) 및 다층 배선 패턴(14d)이 반도체 칩(13)을 입.출력핀(14f)에 선택적으로 접속시킨다. 반도체 칩(13)이 와이어 결합 기법을 이용함으로써 결합 패드(14a)에 동시에 고정되어 히트 싱크가 세라믹 기판(12)의 전표면을 덮는다 할지라도 문제가 없다.

반면, 다층 세라믹 기판(11)의 하부 전표면을 입.출력핀(14f)을 위해 이용가능하고, 그리드 어레이가 형성될 수도 있다. 세라믹 기판(11, 12)간의 전기적 접속이 납땜 범프(14q)를 사용함으로써 이루어질 수 있지만, 세라믹 기판(11, 12) 또는 납땜 범프(14q)가 기준이 하로 휘어짐에 의해 접속패드(14c)와 이에 대응하는 접속 패드(14e)간에 접속분리가 일어나기 쉽다. 따라서, 본 발명의 목적은 접속 분리가 없는 멀티 칩 세라믹 모듈을 제공하는데 있다.

상기 목적을 달성하기 위해 본 발명은 다층 세라믹 캡 플레이트상에 전자부품을 탑재하는 것을 제안한다.

본 발명에 따르면, 제1표면, 상기 제1표면과 반대면인 제2표면 및 상기 제2표면으로 개방되는 공동 공간을 형성하는 내부 표면을 구비하며, 상기 공동 공간이 제2표면으로 개방되는 제1공동 부공간보다 좁고 상기 제1공동 부공간의 중심영역으로 연장하는 제2공동 부공간을 갖는 제1절연 기판과 제2표면과 상기 제3표면에 반대면이고 상기 공동 공간 사이가 근접하도록 제2표면에 접속되는 제4표면을 구비하는 제2절연 기판과, 상기 절연 기판에 형성되어 제3표면과 제4표면으로 부분적으로 노출된 제2배선 수단과, 상기 제2공동 부공간에 수용되어 내부 표면으로 노출된 제1배선수단에 전기적으로 접속된 하나 이상의 전자 부품과, 제4표면상에 설치되어 제4표면으로 노출된 제2배선수단에 접속된 다수의 입.출력수단과, 제2표면으로 노출된 제1배선수단과 제3표면으로 노출된 제2배선수단 간에 접속된 다수의 도전성 접속 수단과, 상기 제3표면에 탑재되어 제3표면으로 노출된 제2배선에 접속된 하나 이상의 전자 부품을 포함하여 구성되는 멀티 칩 세라믹 모듈을 제공한다.

본 발명에 따른 멀티 칩 세라믹 모듈의 특징 및 장점은 첨부된 도면과 관련된 다음의 상세한 설명으로부터 보다 명확해질 것이다.

[실시예 1]

도면 제4도를 참조하면, 본 발명의 실시예에 따른 멀티 칩 세라믹 모듈은 제 1 세라믹 기판(21), 제 1 세라믹 기판(21)에 형성되어 제 1 세라믹 기판(21)의 내부 표면(21a)으로 부적으로 노출된 다층 배선(22a), 상기 내부 표면(21a)에 형성된 다수의 결합 패드(22b) 및

제1세라믹 기판(21)의 저부 표면으로 노출된 수직 접속부(22c)를 포함하여 구성된다. 내부 표면(21a)은 스텝 형태로 형성되어 공동(空洞)공간을 형성한다. 이 공동 공간은 제1세라믹 기판(21)의 저부 표면을 개방시키는 저부 부공간(21b)과 상기 저부 부공간(21b)보다 좁고 상기 저부 부공간(21b)의 중심부로 연장하는 상부 부공간(21c)을 갖는다.

제1다층 배선(22a)을 제1세라믹 기판(21)은 신터링 기술을 통해 산화알루미늄이 얇게 적층된 녹색 시트로 제조된다. 이 실시예에서, 제1세라믹기판(21)의 상부 표면 및 하부 표면은 각각 제1표면 및 제2표면으로서 주어진다.

상기 멀티 칩 세라믹 모듈은 반도체 칩(23)과 실시예의 방법에 의해 상기 반도체 칩(23)상에 제조되는 집적회로를 추가로 구비한다.

상기 집적회로는 결합 와이어(22d)를 통해 결합 패드(22b)에 접속되고, 결합 와이어(22d)를 통해 결합 패드(22b)및 다층 배선 (22a)을 수직 접속부(22c)에 전기적으로 접속한다.

이 예에서, 다층 배선(22a), 결합 패드(22b), 수직 접속부(22c) 및 결합 와이어(22d)가 전체적으로 제1배선수단을 구성한다.

상기 멀티 칩 세라믹 모듈은 반도체 칩(23)에 결합된 금속 방열판(24)과 상기 방열판(24)에 결합된 히트 싱크(25)를 추가로 구비한다. 상기 금속 방열판(24)은 제1세라믹기판(21)의 상부 표면에 추가로 납땜되어진다.

금속 방열판(24)이 상부 표면의 중심 영역을 차지한다 할지라도 제1세라믹기판(21)의 상부 표면에 탑재되는 부품은 없으며 금속 방열판(24)이 제1세라믹기판(21)의 상부 전표면을 차지할 수도 있다.

상기 멀티 칩 세라믹 모듈은 제2세라믹기판(26)을 구비하며, 상기 제2세라믹기판(26)은 제1세라믹 기판(21)의 하부표면에 대향하는 상부 표면과 하부 표면을 갖는다.

제5도에서 알 수 있는 바와 같이, 다수의 좁은 오목부(26a)가 제2세라믹기판(26)의 주변부에 형성되어 상부 표면으로 개방된다.

상기 제2세라믹 기판(26)의 상부 표면 및 하부 표면은 각각 제3표면 및 제4표면으로서 주어진다.

제4도로 되돌아가서, 멀티 칩 세라믹 모듈은 제2세라믹 기판(26)에 형성된 제2다층 배선(27a), 상기 제2다층 배선(27a)에 접속된 수직 접속부(27b), 상기 좁은 오목부(26aX제5도 참조)를 정의하는 바닥 표면에 형성된 제1접속 패드(27c) 및 제2세라믹 기판(26X제6도 참조)의 상부 표면에 형성된 제2접속패드를 추가로 구비한다.

상기 제2다층 배선(27a) 및 수직 접속부(27b)는 제1접속 패드(27c)와 제2접속 패드(27d)에 전기적으로 접속되어, 수직 접속부(27b)와 제1,2 접속 패드(27c, 27d)가 전체적으로 제2배선 수단을 구성한다.

상기 멀티 칩 세라믹 모듈은 수직 접속부(22c)에 납땜되는 다수의 접속핀(28)을 추가로 구비하며, 상기 접속핀(28)은 좁은 구멍(26a)에 접속 패드(27c)를 접속시켜 고정된다.

상기 접속핀(28)은 검(swordX제7도 참조)보호대와 같은 스톱퍼(28a)를 가지며, 상기 스톱퍼(28a)은 좁은 구멍(26a)를 형성하는 내벽에 설치된다.

상기 좁은 구멍(26a)의 깊이는 접속 핀(28)의 길이에 의존하며, 상기 접속핀(28)은 적절한 길이로 조절된다. 이 예에서, 이 접속핀(28)은 3.8mm 길이이고, 스톱퍼(28a)는 접속핀(28)의 리딩(leading) 단부로부터 2.8mm 의 길이이다.

따라서, 좁은 구멍은 2.8mm 보다 깊으며, 스톱퍼가 그 내부에 부착되는 것을 가능하게 한다.

상기 접속핀(28)과 접속핀(27c)는 제1다층 배선(22a)과 제2다층 배선(27a)간의 전기적 접속을 보장하며 접속분리가 발생하지 않는다.

상기 멀티 칩 세라믹 모듈은 제2세라믹 기판(26)의 상부 표면상에 탑재된 다수의 전자 부품(29a, 29b, 29c 및 29d)과 제2세라믹 기판(26)의 저부 표면에 형성된 다수의 범프(30)를 추가로 포함한다. 다른 전자 부품(29a 내지 29d)의 입,출력핀은 접속 패드(27d)에 접속되고 범프(30)는 제2세라믹 기판(26)의 저부 표면으로 노출되는 제2다층 배선(27a)에 접속된다. 범프(30)는 당업자에게는 공지되어 있으며 입,출력핀으로 교체될 수도 있다.

제2세라믹 기판(26)의 모든 하부 표면에 범프(30)용으로 이용가능하며, 본 발명에 따른 멀티 칩 세라믹 모듈이 외부 장치와의 인터페이스(interface)를 위해 다수의 입/출력 신호에 응답한다.

상기 제1세라믹 기판(21)이 제2세라믹 기판(26)에 납땜되어 밀봉 탬납(31)의 단편이 기판(21, 26)의 주변부를 따라 제공된다. 밀봉 탬납 단편(31)이 내부 공동 공간에 전자 부품(23, 29a 내지 29d)을 부착시킨다. 은 페이스트(Ag-paste)가 전자 부품(23)용으로 사용되며, 탬납이 전자 부품(29a, 29d)용으로 사용된다. 밀봉용 탬납은 비교적 저온에서 용융되며, 제조자가 멀티 칩 세라믹 모듈을 수리하는 것을 가능하게 한다. 상기 밀봉용 탬납은 열팽창 차이에 기인하는 내부 스트레스를 상승시켜 세라믹 기판(21, 26)의 크랙을 예방한다.

본 발명에 따른 멀티 칩 세라믹 모듈은 다음과 같이 제조된다.

먼저, 배선 저부 패턴이 녹색 시트의 산화알루미늄 상에 프린트 되어 얇게 적층된다. 상기 얇은 적층들이 제1세라믹 기판(21)과 제2세라믹 기판(26)으로서 소결된다. 배선저부 패턴과 다수의 얇게 적층된 그린 시이트는 멀티 칩 세라믹 모듈의 회로 배열, 인덕턴스 및 임피던스로 조절되는 저항과 같은 전기적 특성에 따라 변한다.

제1세라믹 기판(21)상의 어셈블링 작업과 제2세라믹 기판(26)상의 어셈블링 작업이 병행되어 어셈블링 작업에 의한 시간 소비가 현저히 줄어든다. 금속 방열판(24)이 제1세라믹 기판(21)에 납땜되고 접속핀(28)이 접속패드(27c)에 납땜된다. 반도체 칩(23)은 금속 방열판(24)에 결합되고 반도체 칩(23)상의 전극은 와이어 결합 기법에 의해 결합패드(22b)에 접속된다.

한편, 제1,2 접속패드(27c, 27d)는 좁은 구멍(26a)과 제2세라믹 기판(26)의 상부 표면에 설치된다. 다른 전자 부품(29a 내지 29d)은 제2접속패드(27d)에 접속되고 밀봉 탬납이 제2세라믹 기판(26)의 주변부에 제공된다. 접속핀(28)이 좁은 구멍(26a)에 삽입되어 제1다층 배선(22a)과 제2다층 배선(27a)간에 전기적 접속이 이루어진다. 밀봉 탬납(31)이 가열되어 제1세라믹 기판(21)이 제2세라믹 기판(26)에 납땜된다. 범프(30)는 제2세라믹 기판(26)의 저부 표면에 형성된다. 최종적으로, 히트 싱크가 금속 방열판(24)에 결합된다. 접속핀(33)은 제8도에 도시한 바와 같이 좁은 홈(26a)내에 매입된 전도성 부재(34)의 전표면과 접속되어 고정된다. 접속핀(33)은 좁은 구멍(26a)의 깊이에 걸쳐 연장하는 전도성 부재의 전표면과 접속되어 고정되도록 스톱퍼를 구비하지 않아도 된다. 전도성 부재(35)는 구멍을 통해 접속핀(36)에 제공되며(제9도 참조) 접속핀(36)의 리딩 단부는 입/출력 핀으로서 주어진다. 상술한 설명으로부터 알 수 있는 바와 같이 본 발명에 따른 멀티 칩 세라믹 모듈은 접속핀(28)의 장점에 의해 제1다층 배선(22a)과 제2다층 배선(27a)간의 접속분리가 일어나지 않는다.

물론, 어셈블링 작업의 시간도 지연되지 않으며 다수의 범프와 다량의 열방출능력이 성취된다.

[실시예 2]

제10도는 본 발명의 다른 실시예의 멀티 칩 세라믹 모듈을 나타낸다.

제2실시예를 수행하는 멀티 칩 세라믹 모듈은 세라믹 보호 프레임(41)을 제외하고 제1 실시예와 유사하다.

다른 부재 및 부품은 제1 실시예의 것과 유사하며, 이런 이유 때문에 상세한 설명없이 제1 실시예의 부재 및 부품과 동일한 참조 번호로 표시하였다. 보호 프레임(41)이 전자 부품(29a 내지 29c)을 둘러싸서 조립 작업시 바람직하지 않은 파손을 방지한다. 세라믹 보호 프레임(41)은 제2세라믹 기판(26)의 상부 표면에 납땜되며, 조립 작업에서 지그(jig)로서 역할을 하도록 제1세라믹 기판(21)의 내부 구성에 대응하는 외부 구성을 갖는다.

즉, 제1세라믹 기판(21)은 세라믹 보호 프레임(41)에 의해 안내되며 접속핀(28)이 제2세라믹 기판(26)에 형성된 좁은 구멍내에 삽입된다. 이 실시예에서, 세라믹 보호 프레임이 전자 부품(29a 내지 29c)을 둘러싸며, 프레임이 L-자형 구성 또는 채널형 구성으로 형성될 것이다.

본 발명의 특정한 실시예가 도시되고, 설명되었다 할지라도 본 발명의 사상과 범위로부터 이탈함이 없이 다양한 변화와 변형이 가능함은 당업자에게 있어 명백하다. 예컨대, 하나 이상의 반도체 칩이 제1세라믹 기판(21)에 형성된 저부 공간 또는 하부 공간에 수용될 수 있으며, 단지 하나의 전자 부품만이 제2세라믹 기판(26)의 상부 표면에 탑재될 수도 있다.

더욱이, 접속핀이 제1세라믹 기판에 형성된 좁은 구멍에 삽입되도록 제2다층 배선에 납땜될 수 있다. 제1,2기판이 알루미늄 나이트라이드(Nitride)와 같은 다른 세라믹으로 형성될 수도 있으며, 또 다른 절연재료가 기판용으로 사용될 수도 있다.

청구항1

제1표면, 상기 제1표면에 반대면인 제2표면 및 상기 제2표면으로 개방되는 공동공간을 형성하는 내부 표면(21a)을 구비하며, 상기 제1공동 공간이 상기 제2표면으로 개방되는 제1공동 부공간(21b) 및 상기 제1공동 부공간(21b)보다 좁고 상기 제1공동 부공간(21b)의 중심영역에 인접하는 제2공동 부공간을 갖는 제1절연 기판(21)과, 제3표면과 상기 제3표면과 반대면인 제4표면을 구비하며 상기 공동공간이 폐쇄되도록 상기 제2표면에 접속되는 제2절연 기판(26)과, 상기 제1절연 기판(21)에 형성되어 상기 제2표면과 내부 표면을 부분적으로 노출시키는 제1배선 수단(22a, 22b, 22c 및 22d)과, 상기 제2절연 기판(26)에 형성되어 상기 제3표면 및 상기 제4표면으로 부분적으로 노출되는 제2배선 수단(27a, 27b, 27c 및 27d)과, 상기 제2공동 부공간에 수용되어 상기 내부 표면이 노출되도록 상기 제1배선수단(22d)에 접속되는 하나 이상의 제1전자 부품(23)과, 상기 제4표면에 설치되어 상기 제4표면으로 노출되는 제2배선(27b)에 접속되는 다수의 입,출력 수단(30)을 포함하는 멀티 칩 모듈에 있어서, 상기 제2표면으로 노출되는 상기 제1배선 수단(22c)과 상기 제3표면으로 노출되는 제2배선 수단(27c)간에 접속되는 다수의 전도성 접속 수단(28), 및 상기 제3표면에 탑재되어 제3표면으로 노출되는 상기 제2배선 수단(27d)에 접속되는 하나 이상의 제2 전자 부품(29a ~ 29d)을 추가로 포함하는 것을 특징으로 하는 멀티 칩 모듈.

청구항2

제1항에 있어서, 상기 하나 이상의 전자 부품(23)에 결합되고 상기 제2공동 부공간(21c)에 상기 하나 이상의 제1전자 부품을 보유하는 상기 제1절연 기판(21)에 설치되는 열전도성 방열판(24)을 추가로 포함하는 것을 특징으로 하는 멀티 칩 모듈.

청구항3

제2항에 있어서, 상기 열 전도성 방열판(24)에 결합되는 열 싱크(25)를 추가로 포함하는 것을 특징으로 하는 멀티 칩 모듈.

청구항4

제1항에 있어서, 상기 다수의 전도성 접속 수단은 상기 제1 배선수단 및 제2표면 또는 제3표면으로 노출되는 제2배선 수단중의 하나에 납땜되는 다수의 접속 핀(28)이고 다수의 접속 패드(27c)가 상기 다수의 전도성 접속 핀(28)에 접속 고정되도록 상기 제1배선 수단 및 상기 제2배선수단중 다른 것과 결합되는 것을 특징으로 하는 멀티 칩 모듈.

청구항5

제4항에 있어서, 상기 제1절연 기판(21) 및 제2절연 기판(26)중 하나가 제3표면 또는 제4표면을 개방시키는 다수의 구멍을 가지며, 상기 다수개의 접속 핀(28)이 각각 상기 다수의 구멍(26a)에 설치된 다수개의 접속 패드(27c)와 접속 고정되도록 상기 구멍(26a)에 각각 삽입됨을 특징으로하는 멀티 칩 모듈.

청구항6

제5항에 있어서, 바닥면과 내벽이 상기 각각의 다수의 구멍(26a)을 형성하며, 상기 다수의 접속 패드(27c) 중 하나가 상기 바닥면 및 적어도 상기 내벽의 일부분을 덮는 것을 특징으로 하는 멀티 칩 모듈.

청구항7

제4항에 있어서, 관통홀이 상기 제2절연 기판에 형성되고, 상기 다수의 접속 핀(36)중 하나가 입,출력신호용 핀으로서 제공되도록 상기 관통홀을 통해 돌출하는 것을 특징으로 하는 멀티 칩 모듈.

청구항8

제1항에 있어서, 조립작업시 상기 하나 이상의 제2전자 부품(29a ~ 29c)이 손상되는 것을 방지하기 위해 상기 제2절연 기판(26)의 제3표면에 결합된 절연 프레임(41)을 추가로 포함하는 것을 특징으로 하는 멀티 칩 모듈.

청구항9

제8항에 있어서, 상기 절연 프레임(41)이 상기 제1,2 절연기판에 조립 작업시 상기 제1절연 기판을 안내하도록 상기 제1 동공 저부 공간의 일부를 형성하는 상기 제1 절연 기판(21)의 상기 내부 표면의 적어도 일부분에 대응하는 외부 표면(41a)을 갖는 것을 특징으로 하는 멀티 칩 모듈

도면

도면1

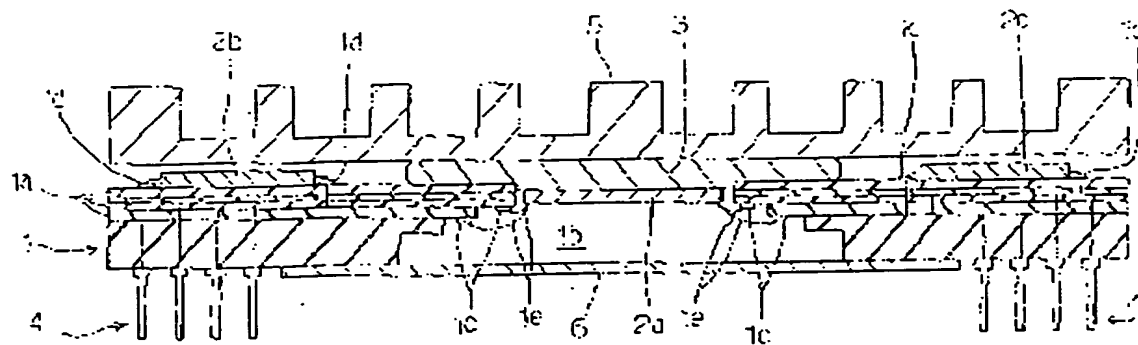


図1

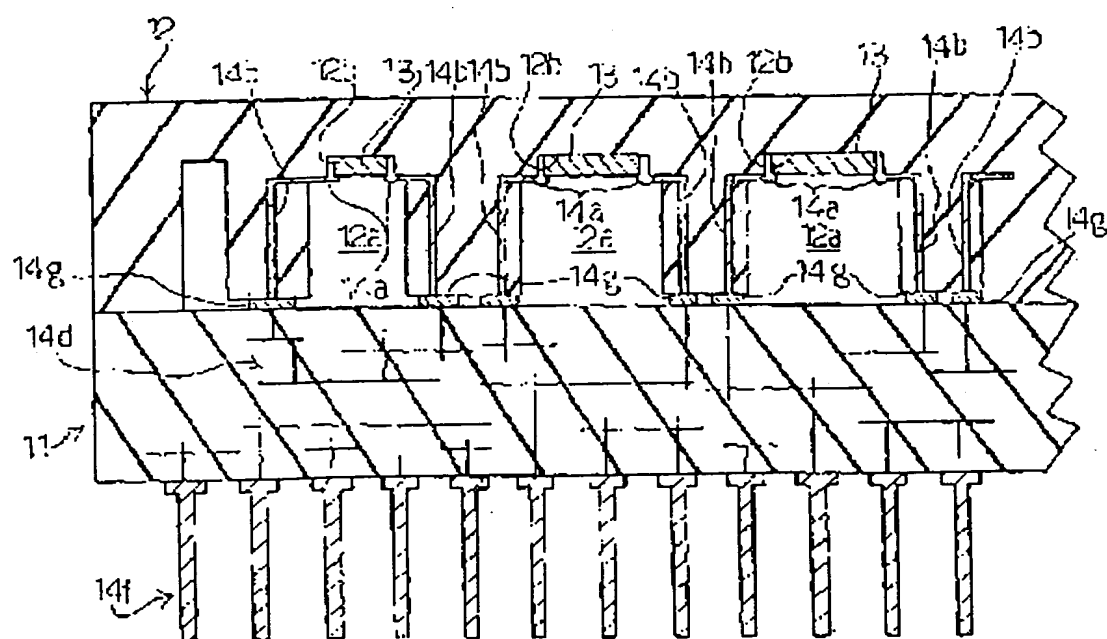


図2

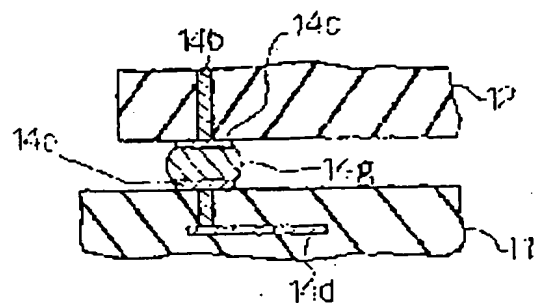
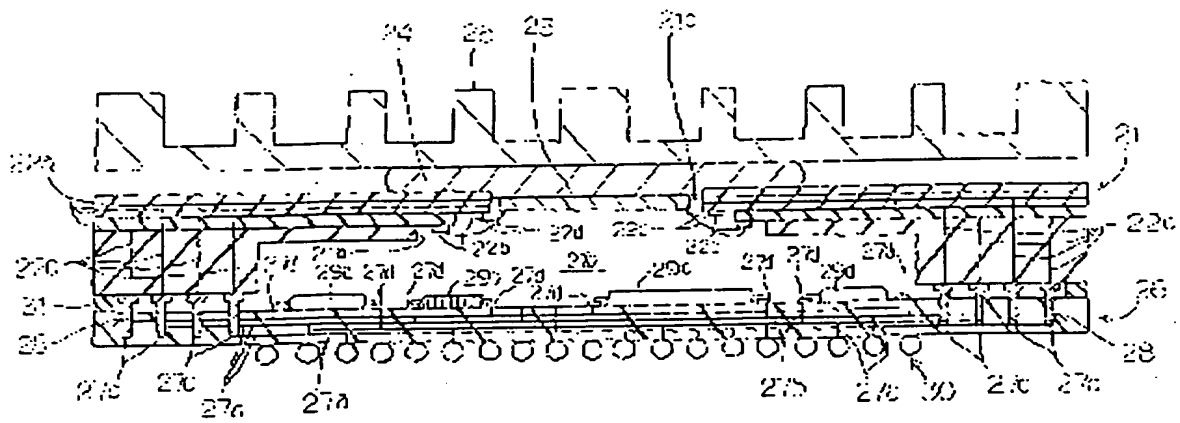
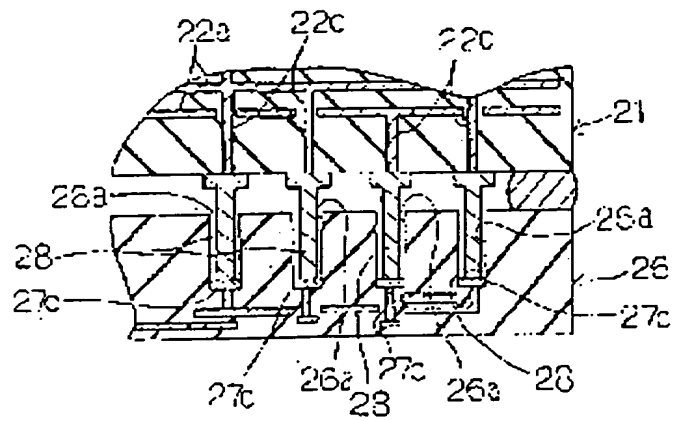


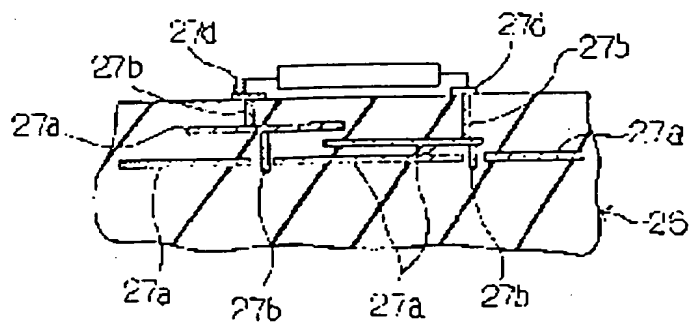
図3



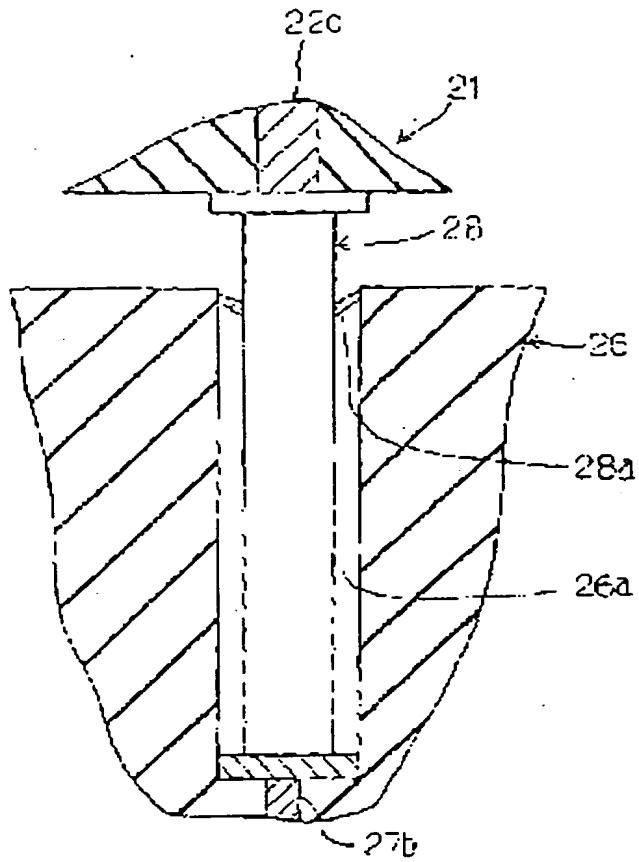
도면5



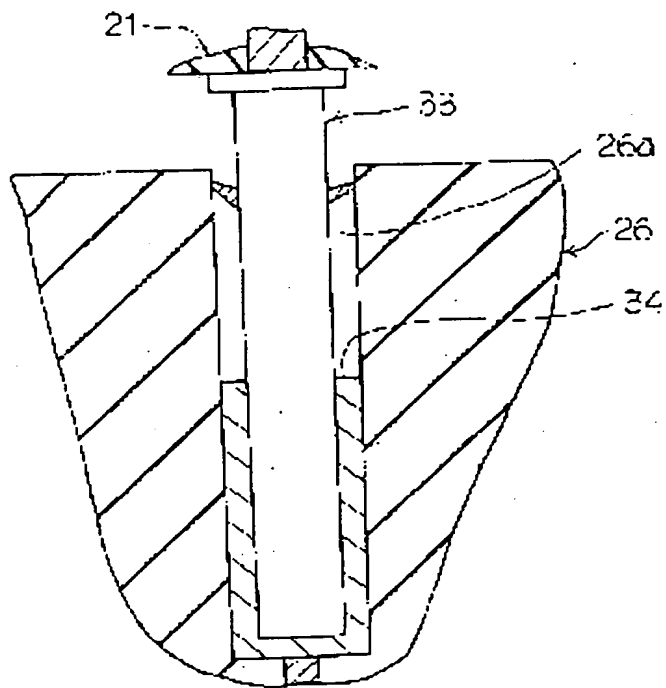
도면6



도면7



도면8



도면9

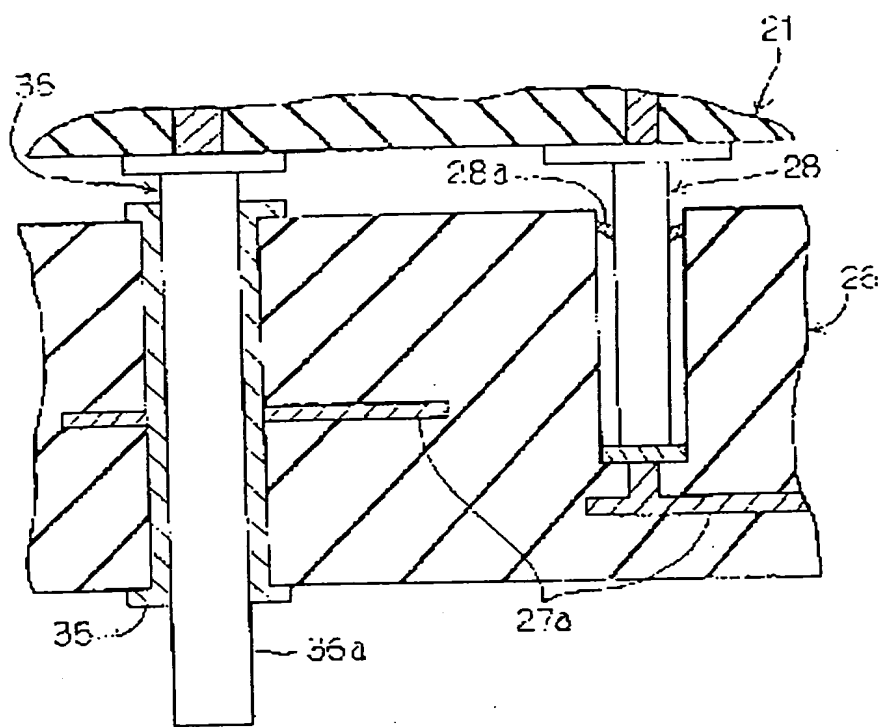


図10

